

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-39790

(43) 公開日 平成10年(1998) 2月13日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 F 9/30	3 4 3		G 0 9 F 9/30	3 4 3 Z
G 0 2 F 1/1343			G 0 2 F 1/1343	
G 0 9 G 3/20		4237-5H	G 0 9 G 3/20	N
3/36			3/36	

審査請求 未請求 請求項の数12 O L (全 16 頁)

(21) 出願番号 特願平9-98981

(22) 出願日 平成9年(1997) 4月16日

(31) 優先権主張番号 08/639583

(32) 優先日 1996年4月29日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72) 発明者 ポール・マシュー・アルト

アメリカ合衆国10598 ニューヨーク州ヨ
ークタウン・ハイツ ヘドウィ・ドライブ
2823

(74) 代理人 弁理士 坂口 博 (外1名)

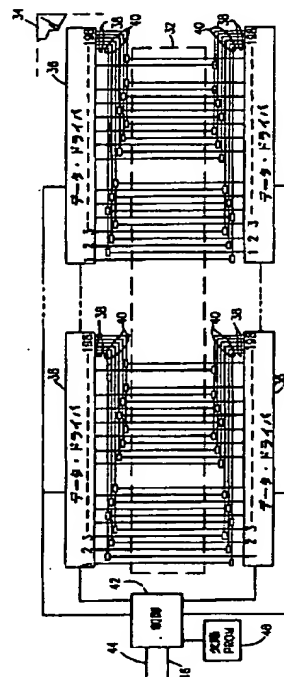
最終頁に続く

(54) 【発明の名称】 欠陥データ線の修理が可能なディスプレイ

(57) 【要約】 (修正有)

【課題】 データ線の欠陥を簡単かつ安価に修理することができるマトリクス・アドレス式ディスプレイを提供する。

【解決手段】 マトリクス・アドレス式ディスプレイ・システムは、効率的でコストが低くそれにより歩留りを高める電子機構によってデータ線修理が可能のように設計される。そのようなアクティブなデータ線修理は、追加のデータ・ドライバ出力と、TFT/LCDモジュール内の欠陥マップ・メモリと、ディスプレイとディスプレイ・アダプタ間の追加回路によるデータ・ドライバへのデータ・ストリームの修正とを利用する。修理の融通性と、低い寄生容量と、簡単に必要な相互接続を行う能力とを兼ね備えたディスプレイ基板上のバス構成が利用される。相互接続の数が最低に維持され、接続の信頼性が高く、接続は、従来のワイヤ・ボンディングまたはレーザー・ボンディングの技術、あるいはディスク・ボンディング技術により行うことができる。



【特許請求の範囲】

【請求項1】ゲート線と、データ線と、前記ゲート線及び前記データ線によって制御されるトランジスタと、前記ゲート線及び前記データ線を駆動するドライバとを備えたマトリクス・アドレス式ディスプレイであって、線欠陥を修理するために、コミットされていない出力を有し、前記データ線を駆動するデータ・ドライバと、前記データ・ドライバの前記コミットされていない出力の1つにそれぞれ接続された補助導体線と、欠陥線を前記補助導体線に接続する手段と、ディスプレイの線欠陥の場所に関する情報を記憶する欠陥マップ・メモリと、前記メモリに記憶されている欠陥線情報に関して、ディスプレイに供給されるデータを修正し、選択されたコミットされていないデータ・ドライバを選択的に活動化して前記導体線上にデータ信号を提供するデータ・ストリーム修正手段とを含むディスプレイ。

【請求項2】前記接続する手段がレーザ・ボンディング、ワイヤ・ボンディングまたはディスク・ボンディングであることを特徴とする請求項1に記載のディスプレイ。

【請求項3】前記欠陥マップ・メモリがPROMであることを特徴とする請求項1に記載のディスプレイ。

【請求項4】ディスプレイがアクティブ・マトリクス・ディスプレイまたはパッシブ・マトリクス・ディスプレイであることを特徴とする請求項1に記載のディスプレイ。

【請求項5】ディスプレイが、薄膜トランジスタ/液晶ディスプレイであることを特徴とする請求項1に記載のディスプレイ。

【請求項6】ディスプレイが、エレクトロルミネセンス・ディスプレイ、プラズマ・ディスプレイ、電界放出ディスプレイ、電気泳動ディスプレイ、エレクトロクロミック・ディスプレイ、変形ミラー・ディスプレイその他のマトリクス・アドレス式ディスプレイ技術であることを特徴とする請求項1に記載のディスプレイ。

【請求項7】前記データ・ドライバが、ディスプレイに組み込まれていることを特徴とする請求項1に記載のディスプレイ。

【請求項8】前記データ・ドライバが、ディスプレイの外にあることを特徴とする請求項1に記載のディスプレイ。

【請求項9】画素訂正アドレス、サブ画素訂正アドレス及び訂正宛先アドレスを表すフィールドを有する欠陥メモリと、前記欠陥メモリのコピーを含む高速欠陥マップ・メモリと、現在の画素の位置を計数する画素カウンタと、欠陥の数を計数する欠陥カウンタと、

前記画素カウンタからの現在の画素アドレスを、前記欠陥メモリからの画素訂正アドレスの内容と比較するアドレス比較器と、

前記アドレス比較器が一致を検出したときに入力画素データ・ストリームの要素をラッチし、訂正のために使用するサブ画素データを選択し、ディスプレイへの次の読み出しの該サブ画素データを順に記憶する記憶回路と、修理データがデータ・ドライバに送信されているときに、画素データ・ストリームを記憶する回路要素と、を含む画素データ・ストリーム修正回路。

【請求項10】前記回路要素が、FIFO回路またはRAM回路であることを特徴とする請求項9に記載の回路。

【請求項11】ゲート線と、データ線と、前記ゲート線及び前記データ線によって制御される薄膜トランジスタと、前記ゲート線及び前記データ線を駆動するドライバとを有する液晶ディスプレイにおいて、線欠陥の修理後にディスプレイを駆動する方法であって、

コミットされていない出力を有し、前記データ線を駆動するデータ・ドライバを提供する段階と、

前記データ・ドライバの前記コミットされていない出力の1つにそれぞれ接続された補助導体線を提供する段階と、

欠陥線を前記補助導体線に接続する段階と、

ディスプレイの線欠陥の場所に関する情報を記憶する欠陥マップ・メモリを提供する段階と、

前記メモリに含まれる欠陥線情報に関して、ディスプレイに供給されるデータを修正し、選択したコミットされていないデータ・ドライバを選択的に活動化して前記導体線上にデータ信号を提供する段階と、を含む方法。

【請求項12】コミットされていない補助データ・ドライバと、ディスプレイ・モジュール内の欠陥マップPROMと、不良データ線に接続することができるディスプレイ上の金属線と、順番に特定の補助ドライバに送られる欠陥線情報を含むように修正されるデータ・ストリーム手段とを含むデータ線修理装置。

【発明の詳細な説明】

【0001】

40 【発明の属する技術分野】本発明は、マトリクス・アドレス式ディスプレイの修理技術に関する。より詳細には、線欠陥がある場合に修理、作業するための機構を備えたマトリクス・アドレス式ディスプレイ、及びそのような修理を実行する方法に関する。特に、アクティブ・マトリクス液晶ディスプレイを対象とするが、本明細書で教示する技術は、ディスプレイの上下両方にデータ・ドライバを有するすべてのマトリクス・アドレス式ディスプレイに適用される。

【0002】

50 【従来の技術】アクティブ・マトリクス液晶ディスプレ

イ（AMLCD）とも呼ばれる薄膜トランジスタ液晶ディスプレイ（TFTLCD）の一部は、データ線の欠陥があると製造プロセスから破棄される。このような欠陥を修理することにより、歩留りが向上し、製造コストが下がる。

【0003】TFTLCDにおけるデータ線欠陥は、いくつかの機構に起因する。あるものは、データ線のリソグラフィ・パターン化中の汚染などメタラジの問題から生じ、開路または短絡として現れる。短絡は、データ線自体の間またはデータ線とゲート線との間、あるいはデータ線と上板などの表示回路の他の部分との間に生じることがある。他の障害は、データ・ドライバ・モジュール上のいくつかのドライバが仕様を満たさないか故障するため、あるいはガラス上のデータ線とドライバ・チップとの間の接続障害のために生じる。短絡は、レーザ・アブレーションによって除去できるが、ある種の短絡（クロスオーバー短絡や上板短絡など）は、レーザ・アブレーション工程によって開路をも作成する必要がある。現在では、図1に示したように、開路は後で修理することができる。

【0004】図1に、アクティブ・マトリクス液晶ディスプレイのアレイ部分20を示す。一連のデータ線22は、データ・ドライバ24の1つの出力によって駆動される。単位長さ当たり多数の線を有する高解像度アレイでは、一般に、連続したデータ線22が、アレイ20の上下から駆動される。ゲート線26は、ゲート線ドライバ（図示せず）によって駆動される。当技術分野では周知のように、アレイ20の画素またはサブ画素を駆動する薄膜トランジスタがすべてのデータ線22とゲート線26とのそれぞれの交点の近くに配置される。図1は、アレイ20の上から駆動されるデータ線22Aを含む。線22Aが開路し、つまりギャップ28によって電気的連続性が失われるために、データ線22Aとゲート線26の交点のトランジスタは非活動化される。これにより、とても目立ついわゆる「線欠陥」が生じ、適切な修理を行わない限りこのパネルは商品として売りものにならなくなる。従来、修理は、開路したデータ線の上部と下部の間に、絶縁ワイヤ30を機械的に接続することによって行われていた。この修理方法は、一般に、「イエロー・ワイヤ」修理と呼ばれている。というのは、この色のワイヤがプリント回路上の同様の問題を修理するためにしばしば使用されるからである。図1に示した「イエロー・ワイヤ」ジャンパは、アレイ基板から物理的に分離していてもよく、またアレイ基板上の予備線としてリソグラフィで組み込むこともできる。開路の矯正中に、この種の修理は新たな問題を引き起こす。ジャンパ・ワイヤがガラス上にある場合は、基板上の周辺スペースを割り振らなければならない。これにより、ディスプレイ・パッケージのベゼル領域が増える。最も重要なのは、基板上のジャンパ・ワイヤが、他の信号線と上か下

で交差しなければならず、これらの他の信号線との容量的干渉によって信号の劣化が生じることである。ジャンパ・ワイヤがガラスから外れると、他の電磁的干渉によって信号の劣化が生じることがある。また、これらの問題はすべて、複数の欠陥線を修理できるようにこの修理方法を拡張するのを難しくする。また、この方法で、すべての欠陥が修理できるわけではない。たとえば、ドライバ・チップまたはドライバ・チップ接続の問題によるデータ線欠陥の場合は、一般に、データ・ドライバを交換するかまたは欠陥パネル全体を破棄しなければならない。

【0005】

【発明が解決しようとする課題】本発明の主目的は、データ線の欠陥を簡単かつ安価に修理することができるマトリクス・アドレス式ディスプレイを提供することである。

【0006】本発明のもう1つの目的は、データ線欠陥を簡単かつ安価に修理する方法を提供することである。

【0007】本発明のもう1つの目的は、データ線の修理を行う際に画像が適切に表示されるように画素データを操作する回路を提供することである。

【0008】本発明のもう1つの目的は、データ線の修理を行う際に画像が適切に表示されるように画素データを操作する方法を提供することである。

【0009】本発明のさらに他の目的は、融通性がある交差容量が最小で、短い距離のワイヤ・ボンディングが簡単に行えるバスと修理パッドの設計を提供することである。

【0010】

【課題を解決するための手段】本発明によれば、図2に示し説明するように、それぞれのデータ・ドライバ集積回路に、いくつかの余分なドライバ出力が含まれる。これらの補助ドライバは、メタラジ・ボンディング技術によって欠陥線に接続される。開路データ線は、補助ドライバをディスプレイの反対側で開路データ線の非駆動端に接続することによって修理される。既存のドライバと並列に補助ドライバを追加するか、あるいは破損した線を開路させて1つまたは複数の補助ドライバを使用することによって、弱いまたは破損したデータ・ドライバまたは低インピーダンスの負荷を矯正することができる。

【0011】以下の考察において、画素は、単一の画素をいう。TFT/LCディスプレイなどのカラー・ディスプレイの場合、画素は、赤、緑及び青のサブ画素を含む。場合によっては、4つのサブ画素が画素を構成する。白黒ディスプレイの場合、ディスプレイにおける最小の要素は画素であり、つまりサブ画素はない。また、以下の考察において、カラー・ディスプレイのデータ・ドライバは、赤と緑と青にそれぞれ1つづつ3つのデータ要素を一度に受け入れる。これは、当業界で典型的なものであるが、考察する技術には、他の数の入力もまっ

たく容易に適用することができる。

【0012】

【発明の実施の形態】図2を参照すると、本発明によるアレイ32において、補助ドライバをガラス・パネル34に追加する好ましい手法は、各データ・ドライバ36の出力線の数を増やすことである。これにより、スペースの増加が最も小さくなり、各ドライバにおいて高度に集積した電子回路を使用することができる。たとえば、出力の数が192ではなく201のドライバを使用することができる。いくつかの既存のデータ・ドライバを、簡単な選択によって192または201の出力にプログラムすることができる。補助ドライバ出力として、9本（またはそれ以下の）の余分な線を使用することができる。ディスプレイのデータ線がそれぞれのデータ・ドライバに接続されたとき、補助データ・ドライバは、図2に示したように最後にクロックされるドライバの最後に割り振られる。1つのドライバ36にS本の予備の線38が割り振られると、Dがドライバ数のとき予備の線の合計は $S \times D$ 本になる。

【0013】ディスプレイのガラス上で、不良データ線への接続を可能にする金属トレース40をパターン化しなければならない。これらの予備の線トレース40は、図2に示したようにディスプレイのデータ線と直角に配置される。レーザ溶接を利用して接続する場合は、予備トレース40が、上下のデータ・ドライバからのデータ線と交差しなければならない。しかし、ワイヤ・ボンディングを利用する場合は、これらのトレースは、片側のドライバからのデータ線と交差するだけでよい。反対側のデータ線は、予備トレース上の修理パッドにワイヤ・ボンディングされる線拡張パッドで終わる。前述のように、予備ドライバ線と欠陥線の間で接続を行うときは、レーザ・ボンディングかワイヤ・ボンディングの一方だけが必要である。これにより、機械的接続に要する時間が減少する。どちらのプロセスも自動化して修理時間を最小にすることができる。

【0014】データ・バス44上のRGBデータとして示される表示データと、制御バス46上の適切な制御信号とを受け取るディスプレイ制御装置42は、問題のある線を必要な座標の列数だけ備えていなければならない。このため、それぞれのTFT/LCDガラス・パネル34には、欠陥マップPROM48が追加される。PROM48は、値段が1〜2ドルの低速な小型シリアル・デバイスであり、リセットでディスプレイ制御装置の欠陥マップをロードする。PROM48に記憶されるデータは、パネルを試験することにより決定される。

【0015】完全に組み立てる前に、米国特許第5179345号で開示された方法と装置によってパネルを試験することが好ましいが、他の方法と装置を利用してデータを生成することもできる。

【0016】LCDパネルをホスト・コンピュータなど

のデータ・ソースに接続するために使用される電気コネクタは、PROMチップ選択用の余分な線（図2に示したような）を1本だけ必要とする。他のPROM信号は既存の線で多重化することができる。リセット後、制御装置42は、欠陥マップ内のアドレスを利用して、予備線38上で使用するために入力データを一時メモリにいつラッチするかを決定する。ディスプレイのデータ・ドライバには、後で詳しく説明するように、適当な時間に通常データと欠陥線の情報がロードされる。

10 【0017】図3は、PROM内で欠陥マップがどのように作成されるかを示す。PROM内の各エントリは、画素訂正アドレスを記述する3つのフィールド、すなわち、水平カウント・フィールドと、サブ画素訂正アドレス・フィールドと、データを記憶する訂正宛先フィールドを有する。第1のフィールドは、どの入力画素データを記憶するかを制御装置に伝える。第2の欠陥データ・フィールドは、画素のどのサブ画素を保持するかを記述し、最後のフィールドは、そのデータをどこに記憶するかを伝える。訂正する画素アドレスは、データ線の場所を記述するのに十分なビットを含むだけでよい。たとえば、1本の線当り640画素を記述するためには、10ビットのアドレスが必要になる。サブ画素訂正アドレスは、赤、緑または青に関して3ビット必要であり、サブ画素のうちの1つを訂正しなければならない場合は、適切なビットがゼロにクリアされる。たとえば、1つのドライバに予備線が6本ありドライバが10ある場合は、テーブルには60個のエントリがなければならない。このPROMは、1つのエントリに16ビットを有するエントリが60個必要になる。これは、記憶するために960ビットが必要となり、8ピン・シリアルPROMに容易に適合する。

30 【0018】図4は、図2の制御装置42の構造とデータ・ドライバ36への接続をより詳細に示す。バス44によって提供されるシリアル画素データ・ストリームを、データ・フォーマット回路50が受け取り、データをバス52上の奇数列データとバス54上の偶数列データに分割する。データ・フォーマット回路50はまた、データの各組ごとのデータ・アドレス情報を、第1の比較回路56と第2の比較回路58とに提供する。比較回路56及び58は、データ・フォーマット回路50から提供されたデータ・アドレスを欠陥PROM48内のアドレスと比較する。アドレスが一致したときは、ラッチ/記憶回路60及び62がそれぞれ、制御回路68によって操作されるスイッチ64または66を経由してデータ・ドライバ36に提示するために現データを記憶する。図4に関して前述した動作はすべてタイミング回路70によって制御され、タイミング回路70は、バス46を経由して水平同期及び垂直同期のための制御信号と画素クロックとを受け取る。

50 【0019】図5は、上にデータ・ドライバ・チップが

1つあり下にデータ・ドライバ・チップが1つある単純な場合の、図4の回路で利用される水平線時間構成を示す。実際のディスプレイでは、上に多数のドライバがあり下にも同じ数のドライバがある。この単純化は、説明を分かりやすくするために行うものである。第1の時間間隔Tにおいて、欠陥線と関連しない画素の通常データが、データ・ドライバに書き込まれる。続く時間間隔T'において、欠陥データ線に関連する画素に書き込むために必要なデータが、データ・ドライバに書き込まれる。最後に、線の間の帰線時間がある。

【0020】図6は、ドライバのデータ・ストリームを適切に修正する回路の一実施形態を示す。この実施形態は、シリアル画素処理方式であり、たとえばVGAなどの画素カウントが小さいときに特に有効である。回路カウントは小さいが、画素処理速度は、ソースからの画素クロック速度である。TFT/LCD上のシリアル欠陥PROMの内容は、直並列変換回路72によって並列ビット・ストリームに変換され、高速欠陥マップRAM74に複写される。このローディングは、リセット時のみ行われる。RAMは、画素クロック速度でアドレス指定できなければならない。制御装置の欠陥RAM74のデータ構造は、シリアル欠陥PROM48のものと同じである。PROMまたはRAMの欠陥データのフィールド1が、アドレス比較器76への1つの入力として使用される。比較器76への他方の入力は、画素アドレス発生器として働く画素カウンタ78からの現画素カウントである。欠陥データのフィールド2とフィールド3は、デュアル・サブ画素メモリ・スタッカ80のためのアドレスを生成する。

【0021】各水平線の最初に、すべてのカウンタがリセットされる。したがって、欠陥マップ・カウンタ82はその最初のエントリを指定する。有効なデータが発生すると、画素カウンタ78が増分される。画素カウントが欠陥RAM74内に記憶された画素列番号と等しい場合は、その画素データをラッチし、欠陥マップ・カウンタ82を増分して新しいアドレスを指示させる信号が提供される。サブ画素フィールドは、どのサブ画素を訂正しそれをスタッカ内のどこに格納しなければならないかを決定するのに必要な情報をデュアル・メモリ・スタッカ80に提供する。上下の各組のドライバがロードされた後、サブ画素メモリ・スタッカ80は読取りモードになり、マルチプレクサ(MUX)88とデータ・ステアリング回路89を介して補助データ・ドライバにデータをロードする。修理データがドライバにロードされると同時に、制御回路87によってクロックされるFIFO(先入れ先出し回路)86が、中断のないデータ・ストリームをバッファする。これが必要なのは、修理データがデータ・ドライバ・チップにロードされている間は、入力データ・ストリームを止めることができないためである。FIFO86の必要サイズは、修理すること

ができる画素の総数よりも深さが少し大きいだけでよい。修理データ・ドライバがロードされた後、メモリ・スタッカ80がリセットされて書き込みモードに戻り、通常データが、FIFO86からマルチプレクサ88を経由してディスプレイに送られる。このプロセスは、すべてのデータ・ドライバがロードされるまで連続して繰り返される。次に、回路がリセットされ、動作が再開する。

【0022】図7は、ソース同期並列画素処理と呼ばれる代替実施形態を示す。図6と同じ番号のブロックは、先に説明したのと同じ機能を有する。欠陥データは、前述のように記憶される。最初に、入力画素データ・ストリームは、データ・ステアリング回路89によって2つのデータ・ストリームに分けられる。一方のストリームは、ディスプレイの上部のドライバ用であり、他方はディスプレイの下部のドライバ用である。上部と下部の分岐のデータは、ソース画素速度の半分の速度で流れ、これは、クロック速度が高い大型画素カウント・ディスプレイには有利である。データを並列に処理するために、追加の回路が必要である。入力画素アドレスを欠陥線のアドレスと比較して一致が見つかった場合にそのデータをラッチする基本機能は、前述のものと類似している。しかし、この事例では、2つのデータ経路がそれぞれFIFOとラッチを有する。また、比較/欠陥RAM回路が二重になっている。これは、図6との概念の連続性を表すために示したものである。しかし、アドレス発生器及び欠陥RAMが適切に変更されるのであれば、単一の比較/欠陥RAMを使用することができる。この事例では、画素の列アドレスではなく画素対の列アドレスを比較し、RAMは、2つのサブ画素メモリ・スタッカを制御しなければならない。また、この実施例では、上のデータ経路からの修理データが下のデータ経路に多重通信され、またその逆が行われることに注意されたい。この手法は、ラッチとFIFOへの書き込みが半画素クロック速度でデータ・ソースと同期するため、ソース同期と呼ばれる。ディスプレイへの出力は、非同期で、発振器(OSC)90によって設定された周波数でもよい。実際には、システムの設計で必要ならば、修理データを通常のデータとは異なるクロック速度で送出することもできる。

【0023】図8の回路は、図2の制御ブロック42のさらに別の実施形態である。このケースは、ディスプレイ同期並列画素処理と呼ばれる。この実施形態の大きな違いは、データ・ストリーム中で、FIFO回路86の後に画素処理回路が置かれていることである。これにより、画素処理回路が、ソース画素速度と無関係に動作することができる。より具体的には、図8に示した実施形態は、FIFOとディスプレイの間にデュアル・サブ画素メモリ・スタッカ(DSMS)を置く。前の実施形態では、FIFOと並列にDSMSが置かれていた。前の

実施形態では、DSMSは、画素データ・ソースからデータを受け入れ、その後、そのデータをALR修理データとして出力データ・ストリームに提供していた。FIFOは、ALRデータが出力データ・ストリームに入れている間に、画素ソースからの入力データをバッファする。画素ソースからのデータ速度は、ディスプレイへのデータ速度と全く異なることがあるので、前の方式のDSMSは、データを2つの全く異なる速度で受け入れ供給する必要がある。これにより、設計が複雑になることがある。さらに、前の方式では、ディスプレイへの複数の並列データ経路を提供するように設計されたシステムが、修理データをバッファするために問題を引き起こすことがある。

【0024】図8に示した実施形態において、FIFOは、従来の方式と全く同じように使用される。しかし、DSMSは、この実施形態では、FIFOの出力からデータを受け入れ、元の画素データ・ソースからは受け入れない。したがって、DSMSに出入りするデータの速度は同一である。これにより、DSMSの設計が単純化される。さらに、まもなく販売される高解像度ディスプレイは、ディスプレイまでの並列データ経路を使用するらしい。その場合、ディスプレイへのデータ速度はソースからのデータ速度よりもかなり低くなる。これにより、必要なコストと電力が小さくなると同時に設計が簡略化される。さらに、図8の実施形態は、実際にデータをディスプレイに送る前にDSMSにデータを記憶しないので、データ・バッファ方式がより簡単である。

【0025】先の実施形態に示したデュアル・サブ画素メモリ・スタッカは、補助ドライバのためにサブ画素データを適切にソートして記憶する回路を含む。図9は、1つのドライバ・チップに6本の修理線がある場合の、デュアル・サブ画素メモリ・スタッカを含む回路を示す。書込みモードの間、修理データのサブ画素フィールドを利用して、1つまたは複数のサブ画素を、RAM A100、RAM B102またはRAM C104にそれぞれ記憶しなければならないかどうか判定する。これらのRAMは、DRAM、SRAMまたはアドレス指定回路を備えた単純な透過Dラッチでもよい。スタッカは、新しい情報を記憶するためにどのアドレスが利用できるかを追跡する。例を挙げると、RAM Aの第1のセルが前のデータで満たされるものとする。そのセルは、そのドライバの第1の予備線に関するデータを含む。この実施形態では、欠陥マップ・カウンタ82が次のエントリを指示するので、新しいサブ画素フィールド・アドレスが供給される。このサブ画素フィールドは、たとえば100100であり、緑と青のサブ画素データを保存しなければならない。このデータを次の2つの利用可能な記憶場所に入れることを意味する。これにより、3-1マルチプレクサ106、108、110がそれぞれ、緑チャンネルをRAM Bのセル1に、青チャンネルを

RAM Cのセル1に経路指定する。次に、このデータが、RAMバンクに書き込まれる。LUTまたはデコード・ユニット112は、次のサブ画素フィールドと前の開路セルのアドレスに基づいて次の1組のアドレスを生成する。この例では、次に利用可能な記憶場所としてRAM Aのセル2を指示する。上下の各組のドライバがロードされた後で、LUTまたはデコード・ユニット112がリセットされ、次の組のドライバのための処理が始まる。

10 【0026】LUTまたはデコード・ユニット112は、各パネルごとにマルチプレクサとRAMのアドレスを事前計算することにより、省略することができる。シリアルPROMと欠陥マップRAMは、サブ画素訂正及び宛先アドレスではなくマルチプレクサとRAMのアドレスを含むことになる。上か下のデータ・ドライバに書き込み動作の信号を送るために、追加ビットが使用される。

【0027】本発明に対する様々な修正をこれから提案する。図10は、データ・ドライバ間に修理線を分散する3つの方法を示す。図10のAは、前述の事例を示すが、各データ・ドライバの最後のいくつかの出力が、修理ドライバとして使用できるように予約されている（すなわちコミットされていない）。これらの修理出力からの配線が、1つのドライバのすべての出力と交差している点に注意されたい。線の長さやキャパシタンスは小さい。図10のBでは、修理線がドライバ出力間で適当に（たとえば均一に）分散されている。線の長さはさらに短く、交点とキャパシタンスもさらに少ない。タイミング及び制御は事例Aと異なるが、他のシステム制約条件が与えられていればこれが好ましい方法となることもある。図10のCでは、すべての修理線が、列の最後のドライバの最後のドライバ出力に接続されている。修理線の長さ、交点及びキャパシタンスは事例Aよりも大きい。いくつかの点で、タイミング及び制御は、やはりシステムの制約条件に応じてさらに単純にすることもできる。これらすべての事例では、データ線の他端に同様の1組のドライバがある。

【0028】図11を参照すると、パネルの上縁にあるバス構造の一部分が示され、この図には、TFTアレイは示されていない。アレイは、図示した部分よりも下にある。図の上部に、静電気放電保護デバイス120が示されている。これらのデバイスの上には、やはり図示されていないが、当技術分野で周知の型式の短絡リングがあり、その上には、上部データ・ドライバ・チップへのテープ自動ボンディング（TAB）接続用のパッドがある。前に検討したように、代替線124は、上または下から駆動される。下から駆動される線は、修理パッド128の隣に配置された線拡張パッド126に接続される。修理パッド128は、132として大きく示したバスの水平線130に接続される。バス線は、データ・ド

ライバ36(図2)から、図10のCに示すように垂直線134を經由して6つのコミットされていないドライバ出力に接続される。

【0029】図12を参照すると、ドライバ・グループ対の修理バス網全体の例が示されている。上下両方の修理バス網を、中心のTFTアレイ137と共に示す。バス132の6本のコミットされていない出力線が、3つのグループ140、142、144に2本ずつ分けられる。それぞれのグループにおいて、1つのコミットされていない出力線が、半分のドライバ・グループの修理パッドに接続される。一方の線は、ドライバ・グループの長さ全体に延び、他方の線は、ドライバ・グループの長さの半分にわたって延びる。このバス構成では、それぞれの半分のデータ・ドライバ・グループ中で、所与の色の1本の欠陥線だけを修理することができる。半分のドライバ・グループの中で、同じ色の複数の線に欠陥がある場合は、1本だけを修理することができる。また、このバス構成の場合は、修理線と他のデータ線との交点の最大数は、1つのドライバのドライバ出力の数であることに注意されたい。このように交点の数を制限することにより、線の寄生容量が許容レベルに保持されるので、アクティブな線修理データ信号の保全性が維持される。

【0030】図13を参照すると、対になった線拡張パッドと修理パッドの詳細が示されている。修理バス線130は、他のデータ線124及び125の下で交差しなければならず、ゲート金属によって製造される。この実施形態において、ゲート金属バス線130は、ITOの冗長スパイン160を有し、スパイン160は、ITO層166を貫通して修理パッド領域に接続するためにも使用される。パッシベーション層絶縁体にバイア162及び164が作成され、修理パッド128と線拡張パッド126の両方に開口部を提供する。ITO層166は、両方のパッド上にある。このように、両方のパッドの層構造は同一であり、ITO166、データ金属168、バイア162及び164からなる。このパッドの対称性によって、2つのパッドの間で信頼性の高いボンディングを容易に行うことができる。欠陥線の修理を実施するときは、線拡張パッドと修理パッドを接続しなければならない。これは、様々なワイヤ・ボンディングまたはレーザ溶接技術を利用して行うことができる。たとえば、例として、当業者に周知のボール・ボンディング、ウェッジ・ボンディングなどの技術がある。本発明の利点の1つは、修理を実施するために必要なボンディングが1つだけであり、接続点が互いに隣り合った修理パッドと線拡張パッドであることである。

【0031】接続を行う好ましい方法は、ディスク・ボンディングである。この技術は、超音波エネルギーと圧力を組み合わせて利用し、ボンド・チップを使って線拡張パッドとALR修理パッドの間に金属のディスクを結合する。ディスクは、厚さ約40ミクロンの薄いアルミ

ニウム箔から直径約100ミクロンの小さな小片を打ち抜くことによって作成される。他の柔らかな金属も適している。ディスクは、平坦な表面に分散され、ボンド・チップによって1つ1つピックアップされる。ボンド・チップは、小片の直径よりもわずかに大きな先端部分を有する精密に機械加工されたテーパ状の円錐形状であり、また、1対の修理パッドと線拡張パッドの両方を覆うサイズのものである。ボンド・チップは、チップの一方の側から他方の側に延びる溝を有する。この溝によって、超音波エネルギーがボンド・チップからディスクと基板表面に伝えられる。ボンディング・プロセスの間、ディスクの金属が外側に突出してボタン型になり、金属の隆起がボンド・チップ内の溝の形に応じて残される。この結合は、機械的に丈夫であり、アレイ内の代表的なデータ線の1%未満の抵抗でパッド間に電気接続を形成する。

【0032】まとめとして、本発明の構成に関して以下の事項を開示する。

【0033】(1) ゲート線と、データ線と、前記ゲート線及び前記データ線によって制御されるトランジスタと、前記ゲート線及び前記データ線を駆動するドライバとを備えたマトリクス・アドレス式ディスプレイであって、線欠陥を修理するために、コミットされていない出力を有し、前記データ線を駆動するデータ・ドライバと、前記データ・ドライバの前記コミットされていない出力の1つにそれぞれ接続された補助導体線と、欠陥線を前記補助導体線に接続する手段と、ディスプレイの線欠陥の場所に関する情報を記憶する欠陥マップ・メモリと、前記メモリに記憶されている欠陥線情報に関して、ディスプレイに供給されるデータを修正し、選択されたコミットされていないデータ・ドライバを選択的に活性化して前記導体線上にデータ信号を提供するデータ・ストリーム修正手段とを含むディスプレイ。

(2) 前記接続する手段がレーザ・ボンディング、ワイヤ・ボンディングまたはディスク・ボンディングであることを特徴とする上記(1)に記載のディスプレイ。

(3) 前記欠陥マップ・メモリがPROMであることを特徴とする上記(1)に記載のディスプレイ。

(4) ディスプレイがアクティブ・マトリクス・ディスプレイまたはパッシブ・マトリクス・ディスプレイであることを特徴とする上記(1)に記載のディスプレイ。

(5) ディスプレイが、薄膜トランジスタ/液晶ディスプレイであることを特徴とする上記(1)に記載のディスプレイ。

(6) ディスプレイが、エレクトロルミネッセンス・ディスプレイ、プラズマ・ディスプレイ、電界放出ディスプレイ、電気泳動ディスプレイ、エレクトロクロミック・ディスプレイ、変形ミラー・ディスプレイその他のマトリクス・アドレス式ディスプレイ技術であることを特徴とする上記(1)に記載のディスプレイ。

(7) 前記データ・ドライバが、ディスプレイに組み込まれていることを特徴とする上記(1)に記載のディスプレイ。

(8) 前記データ・ドライバが、ディスプレイの外部にあることを特徴とする上記(1)に記載のディスプレイ。

(9) 画素訂正アドレス、サブ画素訂正アドレス及び訂正宛先アドレスを表すフィールドを有する欠陥メモリと、前記欠陥メモリのコピーを含む高速欠陥マップ・メモリと、現在の画素の位置を計数する画素カウンタと、欠陥の数を計数する欠陥カウンタと、前記画素カウンタからの現在の画素アドレスを、前記欠陥メモリからの画素訂正アドレスの内容と比較するアドレス比較器と、前記アドレス比較器が一致を検出したときに入力画素データ・ストリームの要素をラッチし、訂正のために使用するサブ画素データを選択し、ディスプレイへの次の読み出しの該サブ画素データを順に記憶する記憶回路と、修理データがデータ・ドライバに送信されているときに、画素データ・ストリームを記憶する回路要素と、を含む画素データ・ストリーム修正回路。

(10) 前記回路要素が、FIFO回路またはRAM回路であることを特徴とする上記(9)に記載の回路。

(11) ゲート線と、データ線と、前記ゲート線及び前記データ線によって制御される薄膜トランジスタと、前記ゲート線及び前記データ線を駆動するドライバとを有する液晶ディスプレイにおいて、線欠陥の修理後にディスプレイを駆動する方法であって、コミットされていない出力を有し、前記データ線を駆動するデータ・ドライバを提供する段階と、前記データ・ドライバの前記コミットされていない出力の1つにそれぞれ接続された補助線導体を提供する段階と、欠陥線を前記補助線導体に接続する段階と、ディスプレイの線欠陥の場所に関する情報を記憶する欠陥マップ・メモリを提供する段階と、前記メモリに含まれる欠陥線情報に関して、ディスプレイに供給されるデータを修正し、選択したコミットされていないデータ・ドライバを選択的に活動化して前記導体線上にデータ信号を提供する段階と、を含む方法。

(12) コミットされていない補助データ・ドライバと、ディスプレイ・モジュール内の欠陥マップPROMと、不良データ線に接続することができるディスプレイ上の金属線と、順番に特定の補助ドライバに送られる欠陥線情報を含むように修正されるデータ・ストリーム手段とを含むデータ線修理装置。

【図面の簡単な説明】

【図1】従来の修理技術を示す液晶ディスプレイ・パネルの概略的平面図である。

【図2】本発明によるアクティブ線修理技術を利用する液晶ディスプレイのブロック図である。

【図3】欠陥線に関する情報を記憶する欠陥マップの例である。

【図4】本発明による簡略化された液晶ディスプレイの全体的ブロック図である。

【図5】図4に示した簡略化された液晶ディスプレイに供給される通常の欠陥データのタイミングを示す図である。

【図6】図4によるマトリクス・アドレス式ディスプレイにおいてデータを制御するために使用されるデータ制御ブロックの第1の実施形態の図である。この手法は、直列処理手法とも呼ばれる。

10 【図7】図4によるマトリクス・アドレス式ディスプレイにおいてデータを制御するために使用されるデータ制御ブロックの第2の実施形態の図である。この手法は、ソース同期並列処理手法とも呼ばれる。

【図8】図4によるマトリクス・アドレス式ディスプレイにおいてデータを制御するために使用されるデータ制御ブロックの第3の実施形態の図である。この手法は、ディスプレイ同期並列処理手法とも呼ばれる。

【図9】図7、図8及び図9に示した実施形態に役立つ新しいサブ画素メモリ・スタッカのブロック図である。

20 【図10】マトリクス・アドレス式ディスプレイにおいてデータ・ドライバ出力間に修理線を分散させる3つの形を示す図である。

【図11】欠陥線用の単純な修理経路を提供するバス構造の詳細な平面図である。

【図12】図11のバス構造の分解図である。

【図13】図11のバス構造に使用される様々な金属導体の配置の拡大平面図である。

【符号の説明】

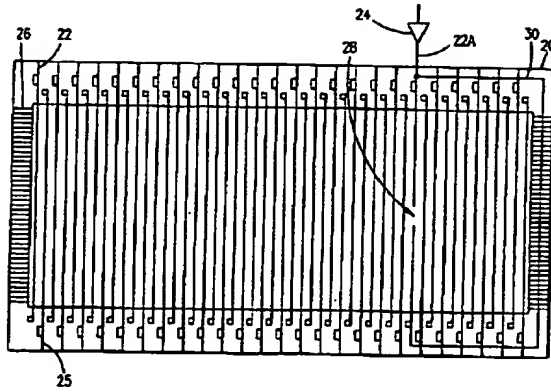
- | | |
|----|--------------|
| 34 | ガラス板 |
| 36 | データ・ドライバ |
| 38 | 予備線 |
| 40 | 金属予備トレース |
| 42 | ディスプレイ制御装置 |
| 44 | データ・バス |
| 46 | 制御バス |
| 48 | PROM |
| 50 | データ・フォーマット回路 |
| 52 | バス |
| 54 | バス |
| 56 | 第1の比較回路 |
| 58 | 第2の比較回路 |
| 60 | ラッチ記憶回路 |
| 62 | ラッチ記憶回路 |
| 64 | スイッチ |
| 66 | スイッチ |
| 68 | 制御回路 |
| 70 | タイミング回路 |
| 72 | 直列-並列回路 |
| 74 | RAM |
| 76 | アドレス比較器 |

78 画素カウンタ

82 欠陥マップ・カウンタ

80 デュアル・サブ画素メモリ・スタッカ

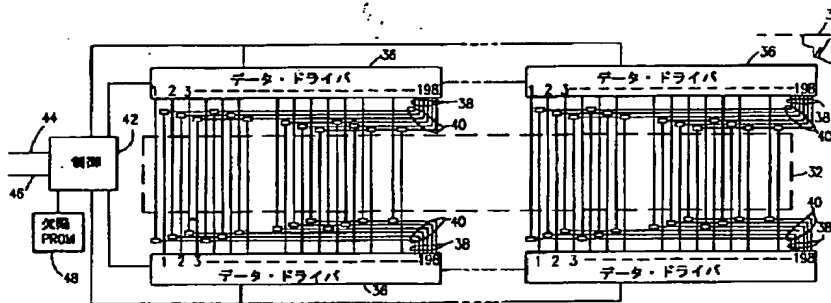
【図1】



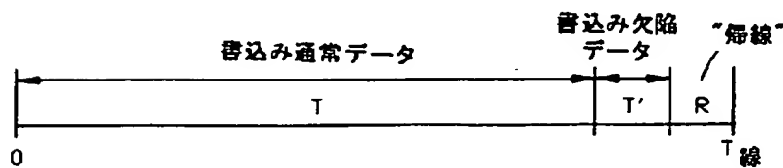
【図3】

訂正すべき 画素アドレス	サブ画素 訂正アドレス	訂正電圧
0	001	001
9	110	110
54	101	001
128	101	010
202	010	100
349	011	011
350	110	011
400	000	000
620	001	100
639	100	000

【図2】



【図5】



アクティブ領域

データ・ドライバ 36

データ・ドライバ 36

線開路

制御 68

消磁

64

52

ラッチ/記憶 60

56

比較器

50

データフォーマット回路

44

70

タイマ

46

48

欠陥PROM

58

比較器

62

ラッチ/記憶

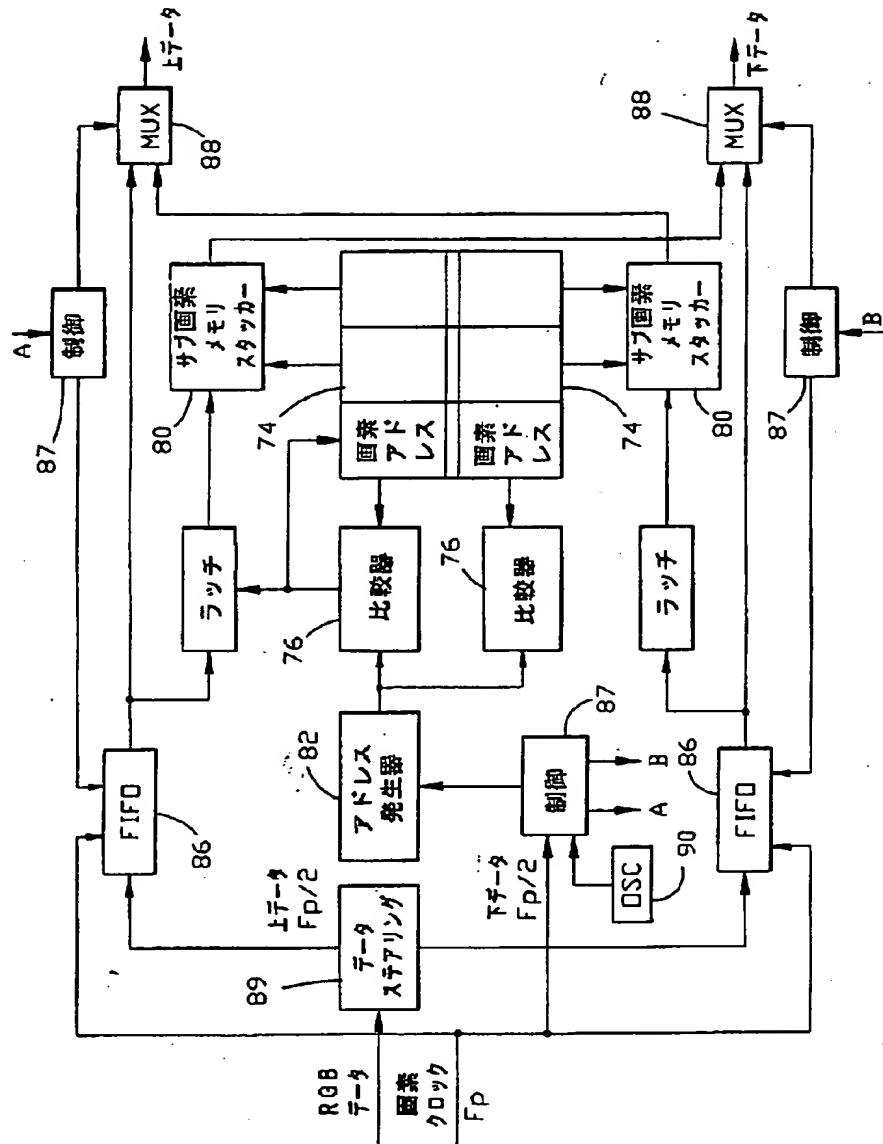
54

66

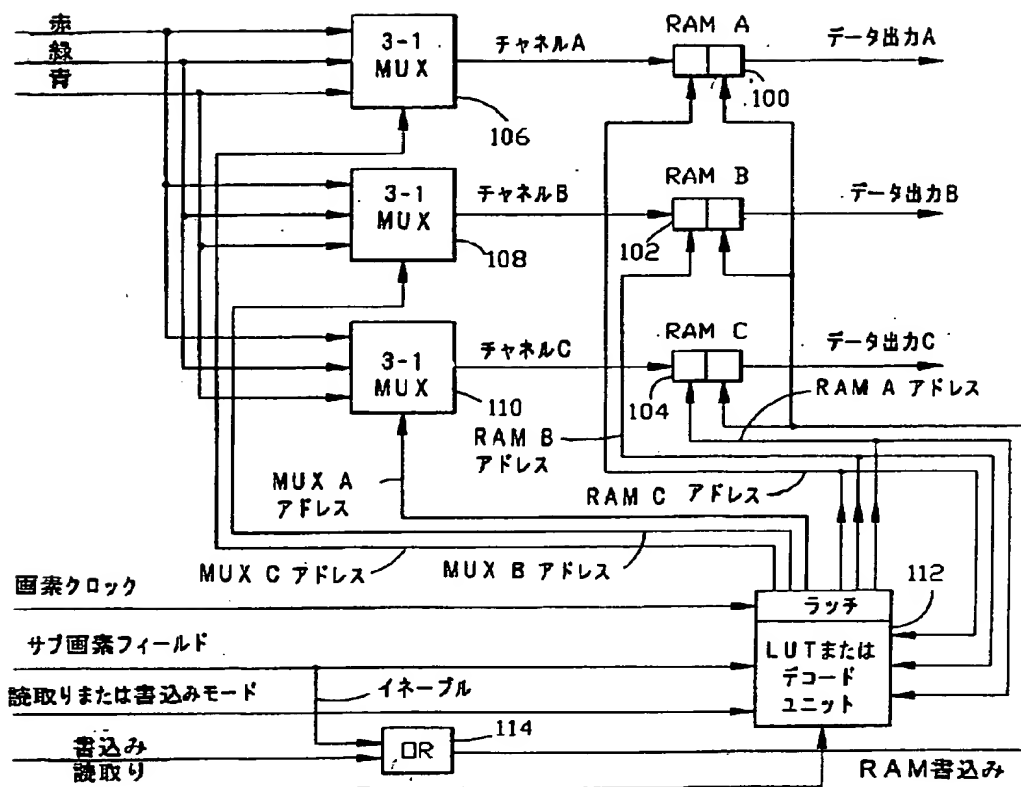
42

Figure 1 is a block diagram of a video signal processing circuit. The circuit is divided into two main sections, each processing an input signal (A and B) through a series of components: a control unit (制御), FIFO buffer (FIFO), latch (ラッチ), address generator (アドレス発生器), address counter (アドレスカウンタ), and address decoder (アドレスデコーダ). The outputs of these sections are multiplexed (MUX) and sent to the output (上テータ). The circuit also includes a clock generator (OSC) and a frequency divider (Fp/2).

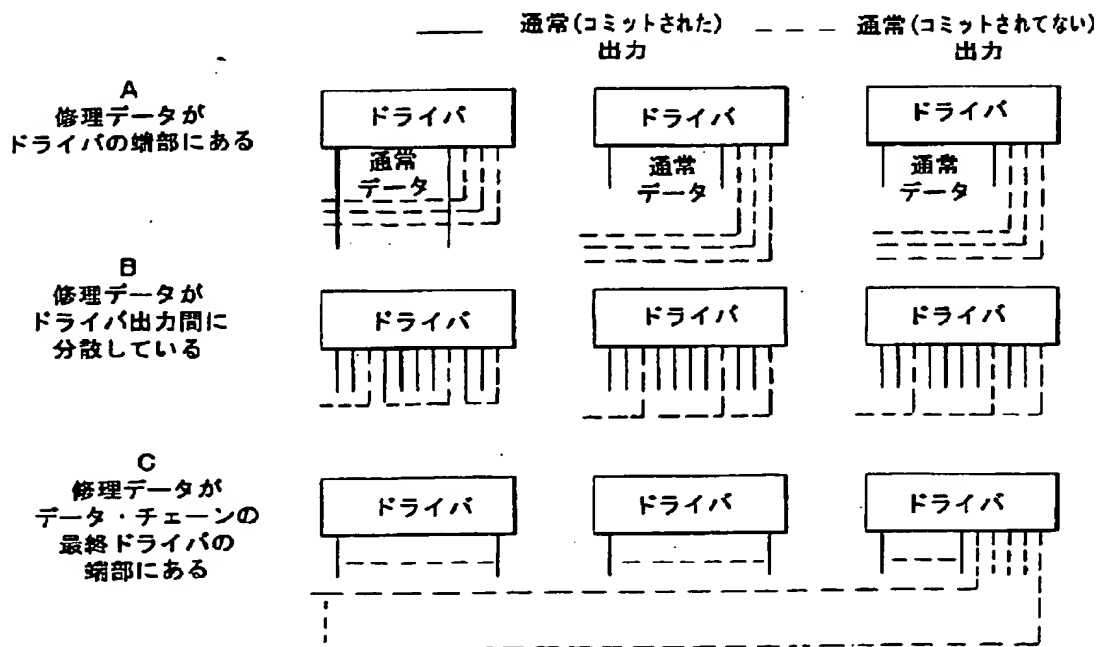
【図8】



【図9】



【図10】



(72)発明者 スチーブン・ロレンツ・ライト
アメリカ合衆国10566 ニューヨーク州コ
ートラント・マナー サウス・ヒル・ロー
ド 73

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-039790

(43)Date of publication of application : 13.02.1998

Int.Cl.

G09F 9/30
G02F 1/1343
G09G 3/20
G09G 3/36

(Application number : 09-098981

(71)Applicant : INTERNATL BUSINESS MACH CORP <IBM>

(Date of filing : 16.04.1997

(72)Inventor : ALT PAUL MATTHEW
CHALCO PEDRO A
FURMAN BRUCE KENNETH
HORTON RAYMOND ROBERT
NARAYAN CHANDRASEKHAR
OWENS BENAL LEE JR
WARREN KEVIN WILSON
WRIGHT STEVEN LORENZ

Priority

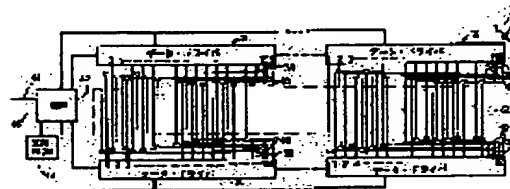
Priority number : 96 639583 Priority date : 29.04.1996 Priority country : US

) DISPLAY CAPABLE OF REPAIRING DEFECTIVE DATA LINE

)Abstract:

PROBLEM TO BE SOLVED: To make possible easily and inexpensively repairing an omission in a data line by selectively activating a selected non-committed data driver and providing a data signal on a conductive line.

SOLUTION: In an array 32, the number of output lines of respective data drivers 36 are increased for adding an auxiliary driver to a glass panel 34. An electric connector used for connecting an LCD panel to a data source or a host computer, etc., requires a PROM chip selecting excess line only a piece, and other PROM signals are multiplexed by existing lines. After that, a controller 42 decides when the input data are lapped in a temporary memory from an address in a defective map for using on an auxiliary line 38. The data supplied to a display are corrected related to defective line information stored in the memory, and the selected non-committed data driver 36 is activated selectively, and the data signal is provided on the conductive line.



)LEGAL STATUS

Date of request for examination]

07.12.1999

Date of sending the examiner's decision of rejection]

02.04.2002

OTICES *

an Patent Office is not responsible for any
ages caused by the use of this translation.

his document has been translated by computer. So the translation may not reflect the original precisely.

*** shows the word which can not be translated.

the drawings, any words are not translated.

AIMS

im(s)]

im 1] The transistor controlled by the gate line, the data line, and said gate line and said data line, In order to be the
rix address expression display equipped with the driver which drives said gate line and said data line and to fix a line
act The data driver which has the output which is not committed and drives said data line, the assistance connected to
of said the outputs of said data driver which are not committed, respectively -- a conductor -- with a line a defective
-- said assistance -- a conductor -- with a means to connect with a line, and the defect map memory which
norizes the information about the location of the line defect of a display the data driver which corrected the data
plied to a display and was chosen about the defective line information memorized by said memory and which is not
mitted -- alternative -- activation -- carrying out -- said conductor -- a display including a data stream correction
uns to offer a data signal on a line.

im 2] The display according to claim 1 characterized by said means to connect being laser bonding, wire bonding,
isk bonding.

im 3] The display according to claim 1 characterized by said defect map memory being PROM.

im 4] The display according to claim 1 characterized by a display being an active-matrix display or a passive matrix
lay.

im 5] The display according to claim 1 whose display is characterized by being a thin film transistor/liquid crystal
lay.

im 6] The display according to claim 1 whose display is characterized by being the matrix address expression
lay technique of an electro RUMINNE sense display, a plasma display, a field emission display, an electrophoresis
lay, electrochromic display, and a deformation mirror display and others.

im 7] The display according to claim 1 said whose data driver is characterized by being included in the display.

im 8] The display according to claim 1 said whose data driver is characterized by being in the exterior of a display.

im 9] The defective memory which has the field showing the pixel correction address, the sub pixel correction
ress, and a correction destination address, High-speed defect map memory including the copy of said defective
nory, and the pixel counter which carries out counting of the location of a current pixel, The defective counter which
ies out counting of the number of defects, and an address comparator [the contents of the pixel correction address
n said defective memory / address / of said pixel counter / current / pixel], The store circuit which latches the
nent of an input pixel data stream when said address comparator detects coincidence, chooses the sub pixel data used
correction, and memorizes these sub pixel data of the next read-out on a display in order, The pixel data stream
ection circuit which contains the circuit element which memorizes a pixel data stream when repair data are
mitted to the data driver.

im 10] The circuit according to claim 9 where said circuit element is characterized by being a FIFO circuit or a
M circuit.

im 11] In the liquid crystal display which has the thin film transistor controlled by the gate line, the data line, and
gate line and said data line, and the driver which drives said gate line and said data line The phase of offering the
driver which is the approach of driving a display after repair of a line defect, has the output which is not committed
drives said data line, the auxiliary line connected to one of said the outputs of said data driver which are not
mitted, respectively -- with the phase of offering a conductor a defective line -- said assistance -- a conductor -- with
phase linked to a line, and the phase of offering the defect map memory which memorizes the information about the
tion of the line defect of a display the data driver which corrected the data supplied to a display and was chosen
ut the defective line information included in said memory and which is not committed -- alternative -- activation --
ying out -- said conductor -- an approach including the phase of offering a data signal on a line.

im 12] Data-line repair equipment including the auxiliary-data driver which is not committed, defect map PROM in

splay module, the metal wire on a display connectable with the defect data line, and the data stream means corrected
that the defective line information sent to a specific auxiliary driver may be included in sequence.

inslation done.]

OTICES *

an Patent Office is not responsible for any
ages caused by the use of this translation.

his document has been translated by computer. So the translation may not reflect the original precisely.

*** shows the word which can not be translated.

the drawings, any words are not translated.

TAILED DESCRIPTION

ailed Description of the Invention]

01]

ld of the Invention] This invention relates to the repair technique of a matrix address expression display. More, in a detail has a line defect, it is related with the approach of performing matrix address expression display equipped with the device for fixing and working, and such repair. Especially the technique taught on these specifications although used at an active-matrix liquid crystal display is applied to all the matrix address expression displays that have a data line in both upper and lower sides of a display.

02]

scription of the Prior Art] If some thin film transistor liquid crystal displays (TFTLCD) called an active-matrix liquid crystal display (AMLCD) have the defect of the data line, it will be canceled from a manufacture process. By fixing such a defect, the yield improves and a manufacturing cost falls.

03] The data-line defect in TFTLCD originates in some devices. A certain thing produces the contamination under photolithography patternizing of the data line etc. from the problem of METARAJI, and appears as off or a short circuit. A short circuit may be produced between the data lines itself, between the data line and a gate line, or between the data line and other parts of display circuits, such as a superior lamella. Other failures are produced for the connect fault between the data line on glass, and a driver chip, in order to break down, whether some drivers on a data driver module have a specification, and. Although a short circuit is removable with laser ablation, a certain kind of short circuits (a superior short circuit, superior lamella short circuit, etc.) need to create off according to a laser ablation process. Now, shown in drawing 1, off is fixable later.

04] The array part 20 of an active-matrix liquid crystal display is shown in drawing 1. A series of data lines 22 are driven with one output of the data driver 24. Generally in the high resolution array which has many lines per unit length, continuous data line 22 drives from the upper and lower sides of an array 20. The gate line 26 is driven by the gate driver (not shown). In this technical field, the thin film transistor which drives the pixel or sub pixel of an array 20 is ranged near each intersection of all the data lines 22 and gate lines 26 as everyone knows. Drawing 1 contains data-line 22A driven from an array 20. Since line 22A carries out off, that is, electrical continuity is lost with a gap 28, the transistor of the intersection of data-line 22A and the gate line 26 is deactivated. The so-called, very conspicuous "line defect" arises by this, and unless suitable repair is performed, this panel stops becoming a sale thing as goods. Conventionally, repair was performed by connecting the insulating wire 30 mechanically between the upper part of the data line which carried out off, and the lower part. Generally this repair approach is called "yellow wire" repair. It is useful to use the wire of this color fixes the same problem on a printed circuit, so it is often used. You may dissociate from the array substrate physically, and the "yellow wire" jumper shown in drawing 1 can also be incorporated with photolithography as a spare wire on an array substrate. During off correction, repair of this kind causes a new problem. When the jumper wire is on glass, the circumference tooth space on a substrate must be assigned and, thereby, the bezel fields of the display package increase in number. It is most important that the jumper wire on a substrate must intersect other signal lines in a top or the bottom, and degradation of a signal arises by capacity-interference with other signal lines of these. When a jumper wire separates from glass, degradation of a signal may arise by other electromagnetic interference. Moreover, it is made difficult that all of these problems extend this repair approach so that two or more defective lines can be fixed. Moreover, all defects cannot be fixed by this approach. For example, generally, in the case of the data-line defect by the problem of a driver chip or driver chip connection, a data driver must be exchanged, or it must cancel the whole defective panel.

05]

blem(s) to be Solved by the Invention] The key objective of this invention is offering the matrix address expression

lay which can fix the defect of the data line simply and cheaply.

[6] Another purpose of this invention is offering the approach of fixing a data-line defect simply and cheaply.

[7] In case another purpose of this invention fixes the data line, it is offering the circuit which operates pixel data so an image's may be displayed appropriately.

[8] In case another purpose of this invention fixes the data line, it is offering the approach of operating pixel data so an image's may be displayed appropriately.

[9] It is flexible, crossover capacity is min, and the purpose of further others of this invention is offering the design the bus which can perform wire bonding of a short distance easily, and a repair pad.

[10]

[Means for Solving the Problem] According to this invention, some excessive driver outputs are included in each data driver integrated circuit so that it may show and explain to drawing 2 . These auxiliary drivers are connected to a active line by the METARAJI bonding technique. The off data line is fixed by connecting an auxiliary driver to the -drive end of the off data line in the opposite side of a display. The load of the data driver damaged or it was weak, low impedance is reformable by carrying out off [of the line which added the auxiliary driver to the existing driver juxtaposition, or was damaged], and using one or more auxiliary drivers.

[11] In the following considerations, a pixel says a single pixel. In color displays, such as a TFT/LC display, a pixel contains red, green, and a blue sub pixel. Depending on the case, four sub pixels constitute a pixel. In monochrome display, the minimum element in a display is a pixel, that is, there is no sub pixel. Moreover, in the following considerations, the data driver of a color display receives every one three data elements in red, green, and blue at once, respectively. Although this is typical in this industry, it can also completely apply the input of other numbers to the unique to consider easily.

[12]

[Embodiment of the Invention] When drawing 2 is referred to, in the array 32 by this invention, the desirable technique adding an auxiliary driver to the glass panel 34 is increasing the number of the output lines of each data driver 36. increment in a tooth space becomes the smallest by this, and the electronic circuitry accumulated on altitude in each driver can be used. For example, the number of outputs can use the driver of 201 instead of 192. Some existing data drivers are programmable to the output of 192 or 201 with easy selection. As an auxiliary driver output, nine excessive lines (or less than [it]) can be used. When the data line of a display is connected to each data driver, an auxiliary-data driver is assigned to the last of the driver by which a clock is carried out to the last as shown in drawing 2 . If S spare lines 38 are assigned to one driver 36, when D is the number of drivers, the sum total of a spare line will become a $S \cdot D$ k.

[13] On the glass of a display, the metal trace 40 which enables connection with the defect data line must be formed. The line trace 40 of these reserves is arranged at the data line and the right angle of a display, as shown in drawing 2 . When connecting using laser welding, the preliminary trace 40 must intersect the data line from an up-and-down data driver. However, when using wire bonding, these traces should just intersect the data line from the driver of the side. The data line of the opposite side is finished with the line escape pad by which wire bonding is carried out to repair pad on preliminary trace. As mentioned above, when connecting between a reserve driver line and a defective line, only one side of laser bonding or wire bonding is required. Thereby, the time amount which mechanical connections take decreases. Both of the processes can be automated and a repair time can be made into min.

[14] Only the number of trains of a required coordinate must be equipped with the line by which the display control unit 42 which receives the indicative data shown as RGB data on a data bus 44 and the suitable control signal on a control bus 46 has a problem. For this reason, defect map PROM48 is added to each TFT/LCD glass panel 34. A price is low speed small serial device which is 1-2 dols, and PROM48 loads the defect map of a display control unit by reset. The data memorized by PROM48 are determined by examining a panel.

[15] Although it is desirable to examine a panel with the approach indicated by U.S. Pat. No. 5179345 and equipment for assembling completely, data are also generable using other approaches and equipment.

[16] The electrical connector used in order to connect the LCD panel to the data sources, such as a host computer, is only one excessive line for PROM chip selects (as [showed / in drawing 2]). Other PROM signals can be multiplexed by the existing line. After reset, using the address in a defect map, a control unit 42 determines when input data is latched to temporary memory, in order to use it on spare wire 38. The information on data and a defective line is fully loaded to suitable time amount so that it may explain to the data driver of a display in detail later.

[17] Drawing 3 shows how a defect map is created within PROM. Each entry in PROM has the three fields which describe the pixel correction address, i.e., the level count field, sub pixel correction address field, and the correction information field that memorize data. The 1st field tells which input pixel data are memorized to a control unit. The 2nd

active data field describes which sub pixel of a pixel is held, and the last field tells where the data is memorized. The address to correct should just contain sufficient bit to describe the location of the data line. For example, in order to describe 640 pixels per line, the 10-bit address is needed. As for the sub pixel correction address, red and a bit of blue green, when it is the triplet need and one of sub pixels must be corrected about blue are cleared by zero. For example, when a driver with six has spare wire in one driver ten, 60 entries must be in a table. 60 entries to which this PROM has 16 bits in one entry are needed. In order to memorize, 960 bits is needed, and this suits 8 pin serial PROM easily.

18] Drawing 4 shows the structure of the control device 42 of drawing 2, and connection with the data driver 36 in detail. The data format circuit 50 divides into reception the serial pixel data stream offered by bus 44, and divides data into the odd number string data on a bus 52, and the even number string data on a bus 54. The data format circuit 50 provides the 1st comparator circuit 56 and 2nd comparator circuit 58 with the data address information for a class of data again. Comparator circuits 56 and 58 compare with the address within a defect PROM 48 the data address offered from the data format circuit 50. When the address is in agreement, the present data are memorized in a latch / store circuits 60 and 62 may show the data driver 36 via the switches 64 or 66 operated by the control circuit 68, respectively. All actuation mentioned above about drawing 4 is controlled by the timing circuit 70, and a timing circuit 70 receives the control signal and pixel clock for a horizontal synchronization and a vertical synchronization via a bus 46.

19] Drawing 5 shows the horizontal line time amount configuration used in the circuit of drawing 4 in case [simple] that a driver chip is upwards and there is a data driver chip under those with one. On an actual display, many drivers are upwards and the driver of the also downward same number is in it. This simplification is a thing which gives explanation intelligible and to perform for accumulating. In the 1st time interval T, the usual data of the pixel irrelevant to the defective line are written in a data driver. In continuing time interval T', data required in order to write in the pixel relevant to the defective data line are written in a data driver. Finally, there is a flyback-time between lines.

20] Drawing 6 shows 1 operation gestalt of the circuit which corrects the data stream of a driver appropriately. This operation gestalt is serial pixel mode of processing, for example, especially when pixel counts, such as VGA, are small, is effective. Although a circuit count is small, pixel processing speed is a pixel clock rate from the source. The contents of the serial defect PROM on TFT/LCD are changed into a juxtaposition bit stream by the serial-parallel converter 72, and are copied to high-speed defect map RAM 74. As for this loading, it is carried out only at the time of reset. RAM must be addressable with a pixel clock rate. The DS of the defect RAM 74 of a control device is the same as that of the serial defect PROM 48. The field 1 of the defective data of PROM or RAM is used as one input to the address comparator 76. The input of another side to a comparator 76 is the present pixel count from the pixel counter 78 which works as a pixel address generation machine. The field 2 and the field 3 of defective data generate the address for dual sub pixel memory stacker 80.

21] All counters are reset by the beginning of each horizontal line. Therefore, the defect map counter 82 specifies the entry. Generating of effective data carries out the increment of the pixel counter 78. When a pixel count is equal to pixel row number memorized in the defect RAM 74, the pixel data is latched and the signal to which carry out the increment of the defect map counter 82, and the new address is made to direct is offered. The sub pixel field provides dual memory stacker 80 with information required to determine where [in a stacker] which sub pixel must be corrected and it must be stored. After the driver of up-and-down each class is loaded, the sub pixel memory stacker 80 comes read mode, and loads data to an auxiliary-data driver through a multiplexer (MUX) 88 and the data steering circuit 89. FIFO (FIFO circuit) 86 by which a clock is carried out in a control circuit 87 carries out the buffer of the data stream without interruption to that repair data are loaded to a driver, and coincidence. The thing this [whose] is the reason is because an input data stream cannot be stopped, while repair data are loaded to the data driver chip. The depth of the FIFO comes for a while, can hold the need size of FIFO 86, and is easy to come rather than the total which is a fixable amount out of it. After a repair data driver is loaded, the memory stacker 80 is reset, it returns to a write mode, and data are finally sent to a display via a multiplexer 88 from FIFO 86. This process is continuously repeated until all data drivers are loaded. Next, a circuit is reset and actuation resumes.

22] Drawing 7 shows the alternative implementation gestalt called source synchronous juxtaposition pixel processing. The block of the same number as drawing 6 has the same function as having explained previously. Defective data are memorized as mentioned above. First, an input pixel data stream is divided into two data streams by data steering circuit 89. One stream is an object for the drivers of the upper part of a display, and another side is an object for the drivers of the lower part of a display. The data of branching of the upper part and the lower part flow at a rate of the one half of a source pixel rate, and this is advantageous to a large-sized pixel count display with a high clock rate. An additional circuit is required in order to process data to juxtaposition. The basic function which latches

data when coincidence finds the input pixel address as compared with the address of a defective line is similar with above-mentioned thing. However, in this example, two data paths have FIFO and a latch, respectively. Moreover, comparison / defective RAM circuit is a duplex. Since the continuity of a concept with drawing 6 is expressed, this is. However, if an address generation machine and Defect RAM are changed appropriately, single comparison / Defect RAM can be used. Not the train address of a pixel but the train address of a pixel pair is compared, and RAM circuit control two sub pixel memory stackers by this example. Moreover, note that the repair data from the upper data path is multiplexed to a lower data path, and that reverse is performed in this example. Since the writing to a latch and FIFO synchronizes with the data source with a half-pixel clock rate, this technique is called a source synchronization. The output to a display may be asynchronous and the frequency set up with the oscillator (OSC) 90 is sufficient as it. In fact, required of the design of a system, repair data can also be sent out with a different clock rate from the usual data.

23] The circuit of drawing 8 is still more nearly another operation gestalt of the control block 42 of drawing 2. This is called display synchronous juxtaposition pixel processing. The big difference in this operation gestalt is that the pixel processing circuit is placed behind the FIFO circuit 86 in a data stream. Thereby, a pixel processing circuit can operate regardless of a source pixel rate. More specifically, the operation gestalt shown in drawing 8 places a dual sub pixel memory stacker (DSMS) between FIFO and a display. With the front operation gestalt, DSMS was put on FIFO for juxtaposition. With the front operation gestalt, DSMS received data from the pixel data source, and provided the output-data stream with them by using the data as ALR repair data after that. FIFO carries out the buffer of the input data from the pixel source, while being put into ALR data by the output-data stream. Since the data rate from the pixel source may completely differ from the data rate to a display -- the front -- DSMS of a formula needs to receive and supply data at two completely different rates. Thereby, a design may become complicated. Furthermore, the front -- by formula, the system designed so that two or more parallel data paths to a display might be offered may cause a problem, in order to carry out the buffer of the repair data.

24] In the operation gestalt shown in drawing 8, FIFO is used completely like the conventional method. However, in this operation gestalt, DSMS receives data from the output of FIFO and does not receive them from the original pixel data source. Therefore, the rate of the data which frequent DSMS is the same. Thereby, the design of DSMS is simplified. Furthermore, seemingly, the parallel data path to a display will be used for the high quality display sold on the market. In that case, the data rate to a display becomes quite lower than the data rate from the source. A design is simplified while required cost and power become small by this. Furthermore, since the operation gestalt of drawing 8 does not memorize data to DSMS before actually sending data to a display, it is more simple for a data buffer method.

25] The dual sub pixel memory stacker shown in the previous operation gestalt includes the circuit which sorts sub pixel data appropriately and memorizes them for an auxiliary driver. Drawing 9 shows the circuit containing a dual sub pixel memory stacker in case there are six repair lines to one driver chip. The sub pixel field of repair data is used between write modes, and it is RAM about one or more sub pixels. A100, RAM B102 or RAM C104. It judges whether it must memorize to C104, respectively. The simple transparency D latch having DRAM, SRAM, or an addressing circuit is sufficient as such RAM. A stacker pursues which address can be used, in order to memorize new information. It is RAM in an example is given. The 1st cell of A shall be filled with front data. The cell contains the data about the 1st spare pixel of the driver. With this operation gestalt, since the defect map counter 82 directs the following entry, the new sub pixel field address is supplied. This sub pixel field is 100100, must save the sub pixel data of green and blue, and means saving this data into the following two available memory locations. Thereby, 3-1 multiplexers 106, 108, and 110 are RAM about a green channel, respectively. To the cell 1 of B, it is RAM about a blue channel. It routes in the cell 1 of C. That is, this data is written in a RAM bank. LUT or the decoding unit 112 generates 1 set of following addresses based on next sub pixel field and the address of a front off cell. At this example, it is RAM as the memory location available to it. The cell 2 of A is directed. After the driver of up-and-down each class is loaded, LUT or the decoding unit 112 is started and the processing for the driver of the following group starts.

26] LUT or the decoding unit 112 is omissible by carrying out precomputation of the address of RAM to a multiplexer for every panel. Serial PROM and defect map RAM will include sub pixel correction and not a destination address but the address of a multiplexer and RAM. An additional bit is used in order to send the signal of write-in information to the data driver of the upper bottom.

27] Various corrections to this invention are proposed after this. Drawing 10 shows the three approaches of distributing a repair line between data drivers. Although A of drawing 10 shows the above-mentioned example, some outputs of the last of each data driver are reserved so that it can be used as a repair driver (that is, not committed). Because of the point that wiring from these repair outputs intersects all the outputs of one driver. The die length and the capacitance of a line are small. In B of drawing 10, the repair line is distributed suitably (for example, homogeneity) between driver outputs. The die length of a line is still shorter and there are also still less intersection and capacitance.

ough timing and control differ from Example A, if the alien-system constraint is given, this may serve as a desirable approach. All repair lines are connected to the driver output of the last of the driver of the last of a train in C of drawing 10. Although the die length, intersection, and capacitance of a repair line are larger than Example A, it is some points timing and control can also be too simplified further according to the constraint of a system. In all these examples, there are 1 set of the same drivers as the other end of the data line.

28] If drawing 11 is referred to, a part of bus structure in the upper limb of a panel is shown, and the TFT array is not shown in this drawing. An array is below the illustrated part. The electrostatic-discharge protection device 120 is shown in the upper part of drawing. Although not too illustrated on these devices, there is a short circuit ring of a well-known type by this technical field, and the pattern for the tape-automated-bonding (TAB) connection with an up data driver chip is shown. As inquired above, the alternative line 124 is driven from a top or the bottom. The line driven from the bottom is connected to the line escape pad 126 arranged next to the repair pad 128. The repair pad 128 is connected to the horizontal line 130 of the bus greatly shown as 132. From the data driver 36 (drawing 2), a bus is connected to six driver outputs which are not committed via a vertical line 134, as shown in C of drawing 10 .

29] Reference of drawing 12 shows the example of the whole repair bus network of a driver group pair. The repair bus network of both upper and lower sides is shown with the main TFT array 137. Every two of six output lines of a bus which are not committed are divided into three groups 140, 142, and 144. One output line which is not committed is connected to a half driver group's repair pad in each group. One line is prolonged to a driver group's whole die length, the line of another side is prolonged over the one half of a driver group's die length. In this bus arrangement, only one defective line of a given color is fixable in the data driver group of each one half. Only one can be fixed when two more lines of the same color have a defect in a half driver group. Moreover, in the case of this bus arrangement, decrease the maximum number of the intersection of a repair line and other data lines about it being the number of the driver outputs of one driver. Thus, since the parasitic capacitance of a line is held by restricting the number of intersections at a permissible level, the integrity of an active line repair data signal is maintained.

30] Reference of drawing 13 shows the detail of the line escape pad which became a pair, and a repair pad. The repair bus 130 must cross under other data lines 124 and 125, and is manufactured with a gate metal. In this operation method, the gate metal bus 130 has redundancy Spine 160 of ITO, and Spine 160 is used, also in order to penetrate ITO layer 166 and to connect with a repair pad field. Bahia 162 and 164 is created by the passivation layer insulator, both the repair pad 128 and the line escape pad 126 are provided with opening. The ITO layer 166 is on both pads. Thus, the layer structure of both pads is the same and consists of ITO166, a data metal 168, and Bahia 162 and 164. The geometry of this pad can perform reliable bonding easily between two pads. When fixing a defective line, a line escape pad and a repair pad must be connected. This can be performed using various wire bondings or a laser-welding technique. For example, techniques, such as well-known ball bonding and wedge bonding, are in this contractor as an example. The number of bondings required in order to fix is one, and one of the advantages of this invention is the repair pad and line escape pad with which the node adjoined each other mutually.

31] The desirable approach of connecting is disk bonding. This technique is used combining ultrasonic energy and a pressure, and combines a metalized disk between a line escape pad and an ALR repair pad using a bond chip. A disk is formed by piercing a small wafer with a diameter of about 100 microns from thin aluminium foil with a thickness of about 40 microns. Other soft metals are suitable. A flat front face distributes and disks are taken up one by one by the bond chip. A bond chip is the cone configuration of the shape of a taper machined by the precision which has a part for slightly bigger point than the diameter of a wafer, and is the thing of wrap size in both one pair of repair pads, and a line escape pad. A bond chip has the slot which extends in an another side side from one chip side. Ultrasonic energy is applied to a disk and a substrate front face from a bond chip by this slot. Between bonding processes, the metal of a disk projects outside, and becomes a carbon button mold, and upheaval of a metal is left behind according to the form of the metal in a bond chip. This association is mechanically strong and forms electrical connection between pads by less than the resistance of the typical data line in an array.

32] As a conclusion, the following matters are indicated about the configuration of this invention.

33] (1) The transistor controlled by the gate line, the data line, and said gate line and said data line, In order to be the address expression display equipped with the driver which drives said gate line and said data line and to fix a line defect The data driver which has the output which is not committed and drives said data line, the assistance connected to one of said the outputs of said data driver which are not committed, respectively -- a conductor -- with a line a defective line -- said assistance -- a conductor -- with a means to connect with a line, and the defect map memory which memorizes the information about the location of the line defect of a display the data driver which corrected the data applied to a display and was chosen about the defective line information memorized by said memory and which is not committed -- alternative -- activation -- carrying out -- said conductor -- a display including a data stream correction

ns to offer a data signal on a line.

A display given in the above (1) characterized by said means to connect being laser bonding, wire bonding, or disk bonding.

A display given in the above (1) characterized by said defect map memory being PROM.

A display given in the above (1) characterized by a display being an active-matrix display or a passive matrix display.

A display given in the above (1) whose display is characterized by being a thin film transistor/liquid crystal display.

A display given in the above (1) whose display is characterized by being the matrix address expression display unique of an electro RUMINNE sense display, a plasma display, a field emission display, an electrophoresis display, trochomic display, and a deformation mirror display and others.

A display given in the above (1) said whose data driver is characterized by being included in the display.

A display given in the above (1) said whose data driver is characterized by being in the exterior of a display.

The defective memory which has the field showing the pixel correction address, the sub pixel correction address, a correction destination address, High-speed defect map memory including the copy of said defective memory, and pixel counter which carries out counting of the location of a current pixel, The defective counter which carries out counting of the number of defects, and an address comparator [the contents of the pixel correction address from said defective memory / address / of said pixel counter / current / pixel], The store circuit which latches the element of an it pixel data stream when said address comparator detects coincidence, chooses the sub pixel data used for correction, and memorizes these sub pixel data of the next read-out on a display in order, The pixel data stream correction circuit which contains the circuit element which memorizes a pixel data stream when repair data are admitted to the data driver.

A circuit given in the above (9) said whose circuit element is characterized by being a FIFO circuit or a RAM unit.

In the liquid crystal display which has the thin film transistor controlled by the gate line, the data line, and said gate and said data line, and the driver which drives said gate line and said data line The phase of offering the data driver which is the approach of driving a display after repair of a line defect, has the output which is not committed and drives data line, the auxiliary line connected to one of said the outputs of said data driver which are not committed, respectively -- with the phase of offering a conductor a defective line -- said assistance -- a conductor -- with the phase led to a line, and the phase of offering the defect map memory which memorizes the information about the location of the line defect of a display the data driver which corrected the data supplied to a display and was chosen about the defective line information included in said memory and which is not committed -- alternative -- activation -- carrying -- said conductor -- an approach including the phase of offering a data signal on a line.

Data-line repair equipment including the auxiliary-data driver which is not committed, defect map PROM in a display module, the metal wire on a display connectable with the defect data line, and the data stream means corrected at the defective line information sent to a specific auxiliary driver may be included in sequence.

translation done.]

NOTICES *

an Patent Office is not responsible for any
ages caused by the use of this translation.

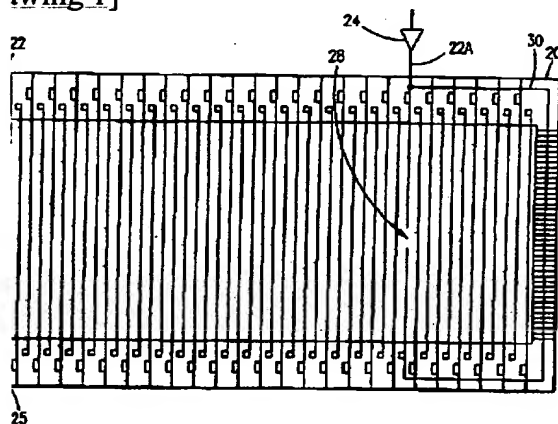
his document has been translated by computer. So the translation may not reflect the original precisely.

*** shows the word which can not be translated.

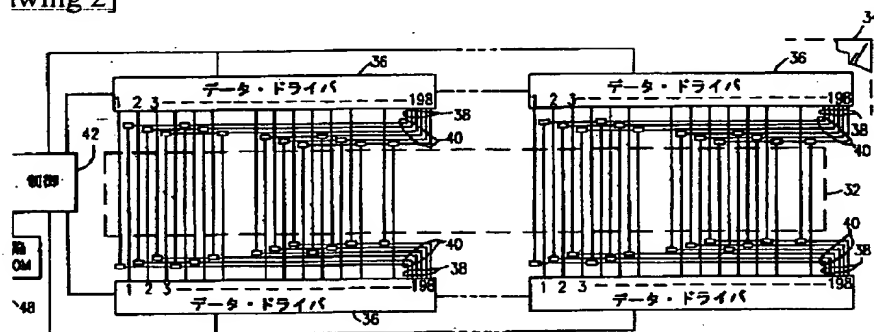
the drawings, any words are not translated.

DRAWINGS

[wing 1]



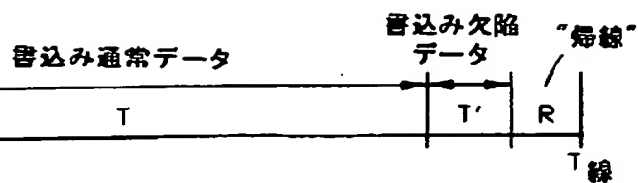
[wing 2]



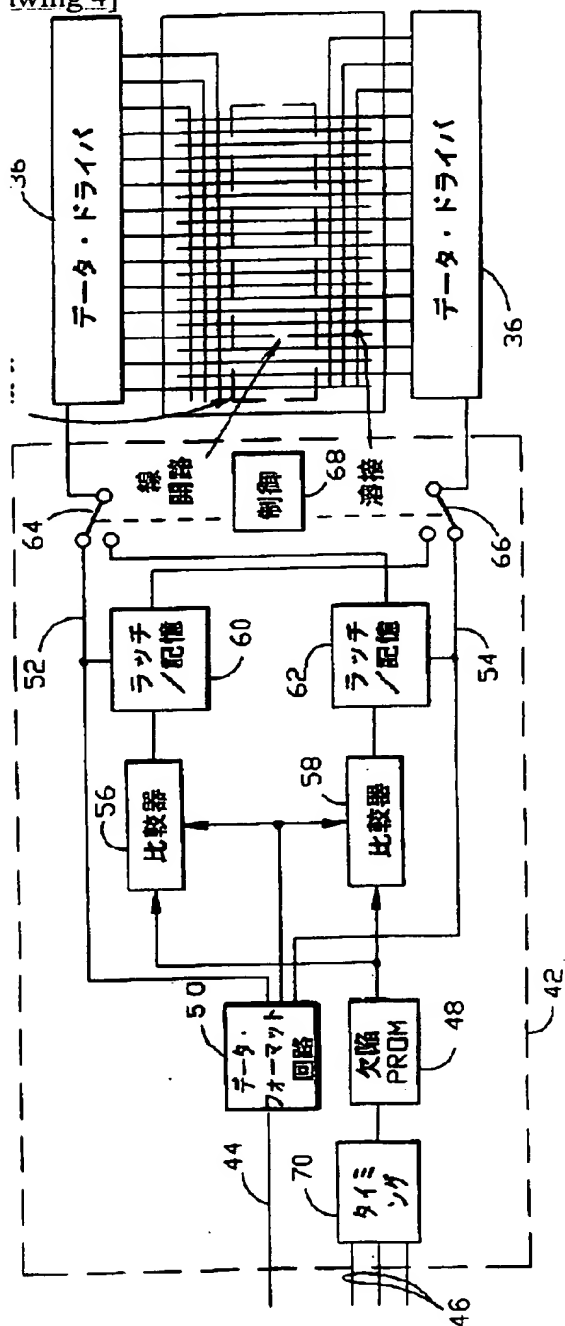
[wing 3]

訂正すべき 言葉アドレス	サブ関連 訂正アドレス	訂正優先
0	001	001
9	110	110
54	101	001
128	101	010
202	010	100
349	011	011
350	110	011
400	000	000
620	001	100
639	100	000

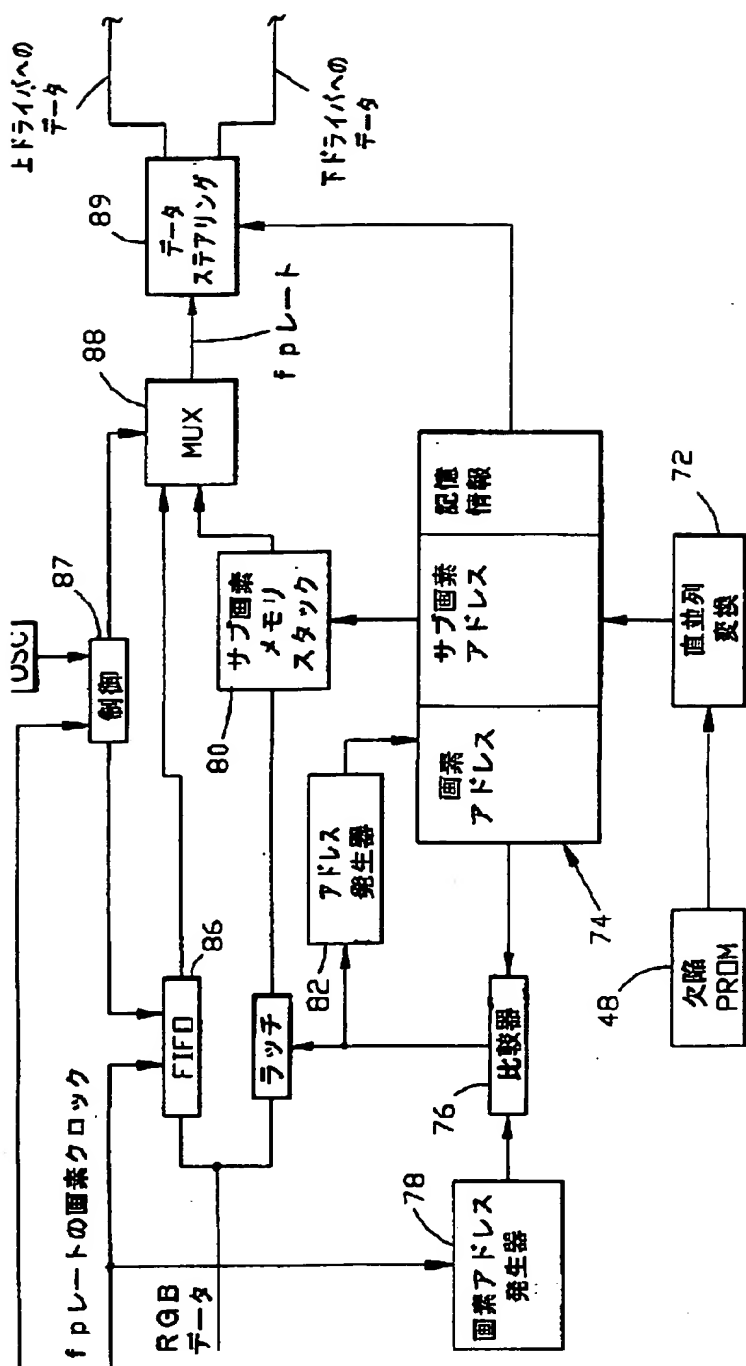
[wing 5]



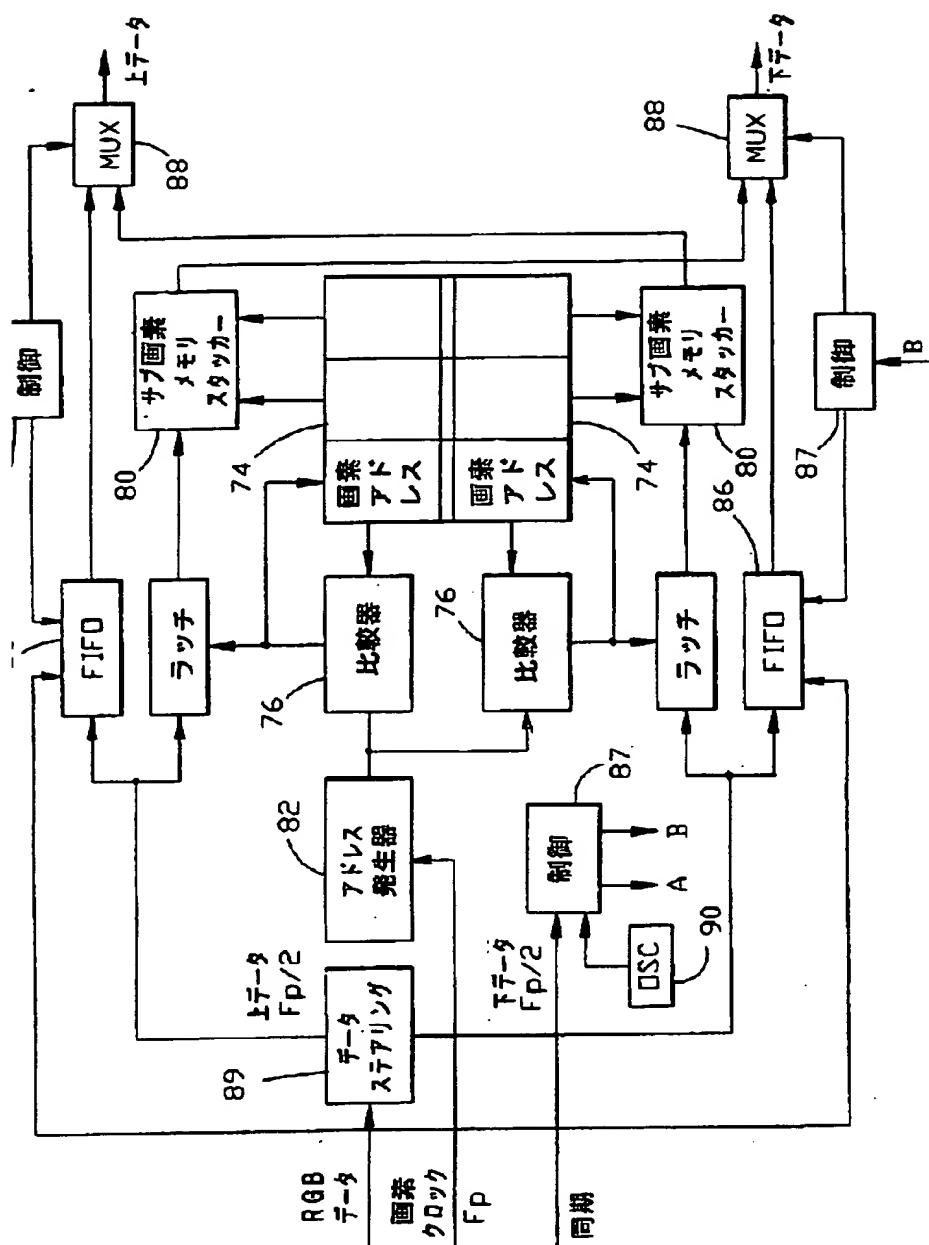
[Figure 4]



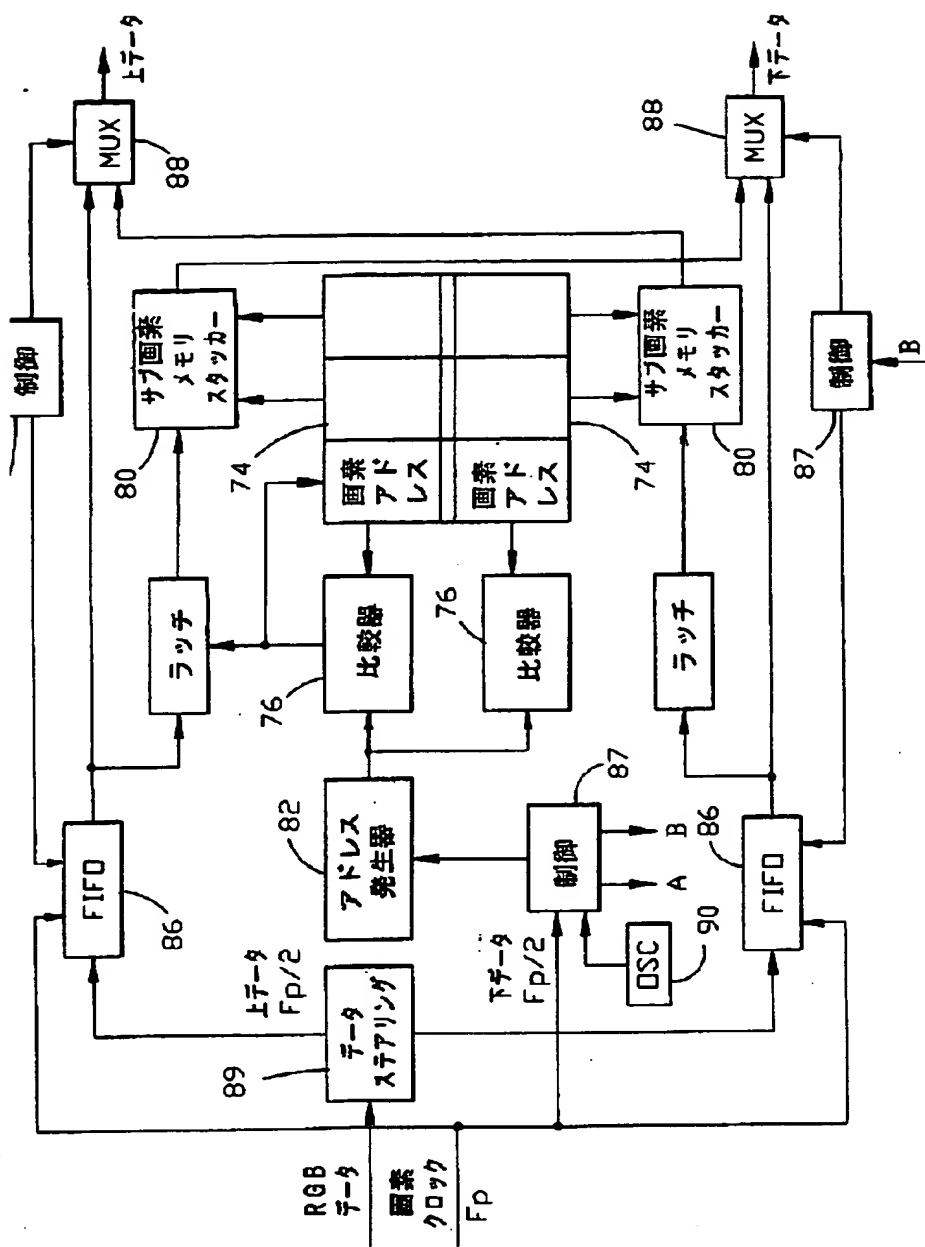
[Figure 6]



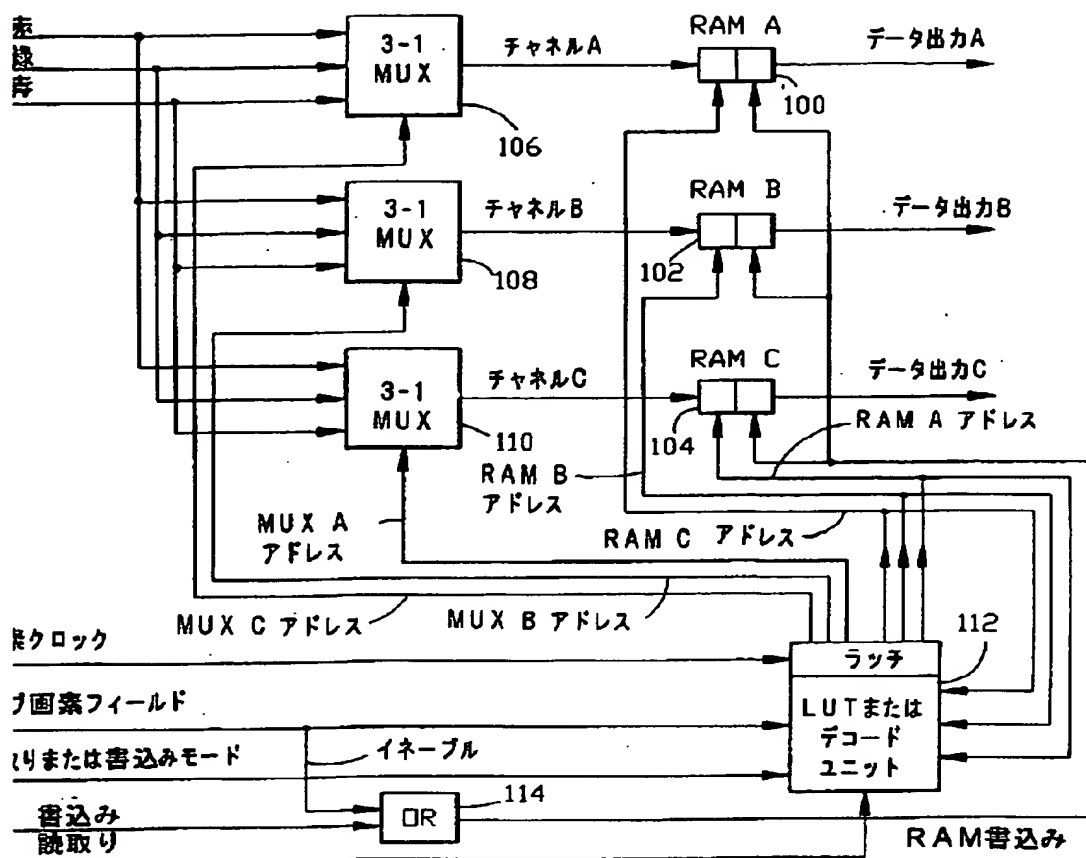
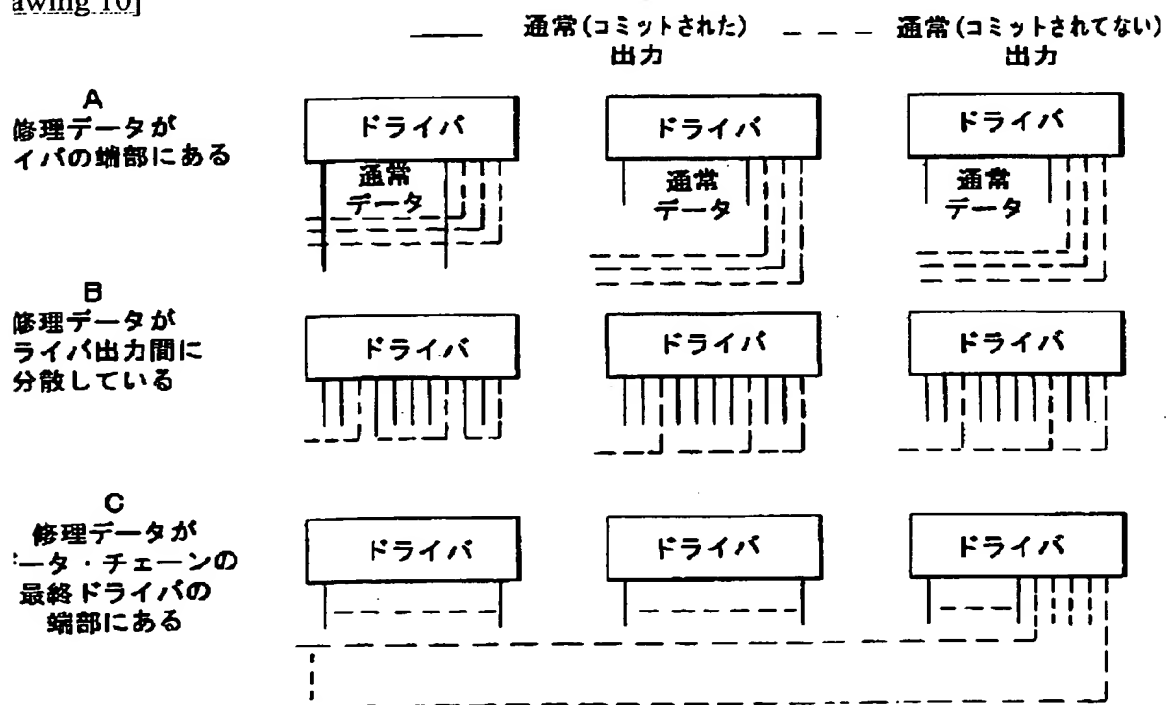
rawing 7]



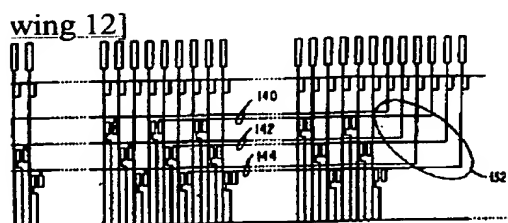
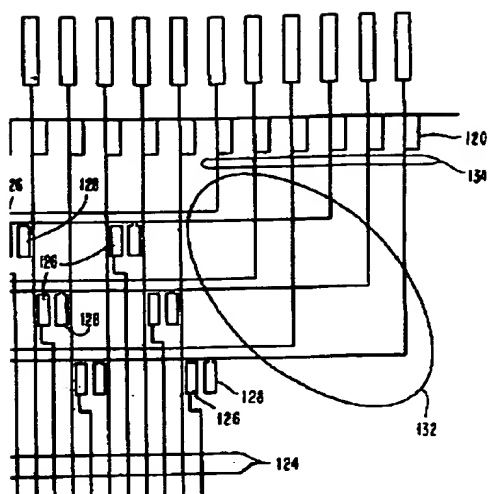
[wing 8]



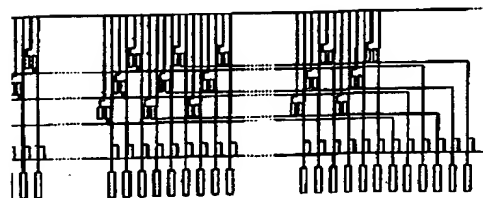
wing 9]

awing 10]

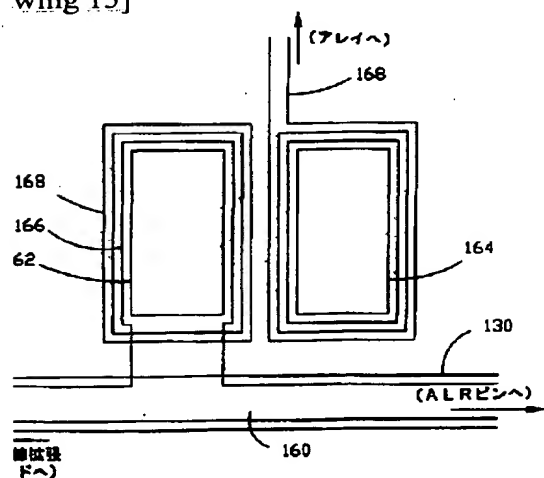
awing 11]



137



wing 13]



nslation done.]